CA-IS309X 内置 DC-DC 转换器的隔离式 RS-485/RS-422 收发器

1. 产品特性

- 兼容RS-485 EIA/TIA-485标准并提供更高的性能指标
  - 数据速率高达 10Mbps (CA-IS3096/98)
  - 1/8单位负载，支持多达256个总线节点
  - 3 V至5.5V逻辑侧供电范围(V_{CC})
- 集成 DC-DC 转换器为总线侧供电
  - 3.3V/5.0V 输出电压可选(CA-IS3092W/98W) ($V_{ISO} \le V_{CC}$)
  - 高度集成：内置变压器
  - 软启动抑制输入浪涌电流
  - 集成过载和短路保护
  - 内置热保护
- 集成保护功能支持可靠的数据通信
  - 提供 5kV_{RMS} (60s)隔离耐压
  - ±150kV/μs 典型 CMTI
  - 隔离栅寿命：> 40 年
  - 总线侧引脚具有±8kV人体模式ESD保护、±12kV IEC 61000-4-2接触放电ESD保护；信号侧引脚及总线侧其它引脚具有±6kV人体模式ESD保护
  - 发送器具有短路保护和热关断功能
  - 接收器提供真失效保护，确保接收器输出确认状态
  - 强大的电磁兼容性(EMC)
  - 较宽的工作温度范围： -40 °C至125 °C
- 16 引脚、20 引脚宽体 SO 封装，16 引脚 SO 封装兼容多数隔离式 RS-485 收发器；
- 安全认证(申请中)：
  - 符合DIN V VDE V 0884-11:2017-01 标准的 7071V_{PK} V_{IOTM} 和 849V_{PK} V_{IORM}隔离
  - UL 1577 认证： 5 kV_{RMS} @1分钟
  - IEC 60950、 IEC 60601 和 EN 61010 认证，CQC、 TUV 和 CSA 认证

2. 典型应用

- 隔离 RS-485/RS-422 通信 网络
- 工业自动化
- 光伏逆变器
- 电机驱动

3. 概述

CA-IS309x 系列产品为隔离型 RS-485/RS-422 收发器，内部集成 DC-DC 转换器，省去了外部隔离电源。该系列产品提供较高的电气隔离并具有优异性能，以满足工业应用的需求。器件内部的逻辑输入与输出缓冲器之间通过二氧化硅(SiO2)绝缘栅隔离，能够承受高达 5000V_{RMS} (60s)的隔离电压 以及±150kV/μs 的典型 CMTI。绝缘栅阻断了逻辑侧与总线侧的地环路，有助于降低端口间地电势差较高的噪声，确保数据的正确传输。

CA-IS309x 系列产品用于支持多节点数据通信，总线侧引脚具有±8kV HBM ESD 保护和±12kV IEC 61000-4-2 接触放电 ESD 保护。接收器输入阻抗为 1/8 单位负载，允许同一总线上挂接 256 个收发器。在保持多节点通信的同时，支持更高的通信速率，从而有效改善工业通信的可靠性。该系列器件中，CA-IS3090 和 CA-IS3096 为全双工收发器；CA-IS3092 和 CS-IS3098 为半双工收发器，可通过器件的接收使能与发送使能引脚控制收发状态。CA-IS3096、CA-IS3098 用于支持最高 10Mbps 的高速通信，而 CA-IS3090、CA-IS3092 可支持最高 0.5Mbps 的通信速率。

CA-IS3090W、CA-IS3092W、CA-IS3096W 和 CA-IS3098W 采用 16 引脚、宽体 SO 封装，兼容行业隔离式 RS-485/RS-422 的标准封装。CA-IS3090T、CA-IS3096T 采用 20 引脚宽体 SOIC 封装。所有器件工作在-40°C 至+125°C 温度范围。

器件信息

器件型号	封装	封装尺寸（标称值）
CA-IS3090W CA-IS3092W CA-IS3096W CA-IS3098W	SOIC16-WB(W)	10.30 mm × 7.50 mm
CA-IS3090T CA-IS3096T	SOIC20-WB(T)	12.80 mm X 7.50 mm

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

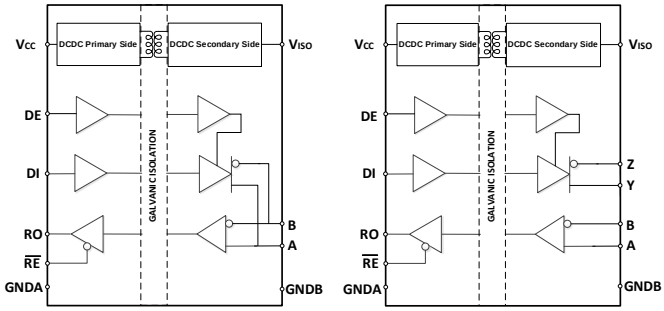


图 3- 1 简化功能框图

4. 订购指南

表 4-1 有效订购器件型号

型号	通讯模式	通讯速率（Mbps）	隔离电源输出电压（V）	封装
CA-IS3090W	全双工	0.5	3.3	SOIC16-WB(W)
CA-IS3092W	半双工	0.5	3.3/5.0	SOIC16-WB(W)
CA-IS3096W	全双工	10	3.3	SOIC16-WB(W)
CA-IS3098W	半双工	10	3.3/5.0	SOIC16-WB(W)
CA-IS3090T	全双工	0.5	3.3	SOIC20-WB(T)
CA-IS3096T	全双工	10	3.3	SOIC20-WB(T)

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

目录

1. 产品特性 1
2. 典型应用 1
3. 概述 1
4. 订购指南 2
5. 修订历史 3
6. 引脚功能描述 4
6.1. CA-IS3090W/CA-IS3096W 描述 4
6.2. CA-IS3090T/CA-IS3096T 描述 5
6.3. CA-IS3092W/CA-IS3098W 描述 6
7. 产品规格 7
7.1. 绝对最大额定值 [1] 7
7.2. ESD 额定值 7
7.3. 建议工作条件 7
7.4. 热阻信息 7
7.5. 隔离特性 8
7.6. 相关安全认证（申请中） 9
7.7. 电气特性 10
7.7.1. 驱动器特性 10
7.7.2. 接收器特性 11
7.8. 电源电流 12
7.9. 时序特性 14
7.9.1. 驱动时序特性 14
7.9.2. 接收时序特性 14
7.10. 典型特性曲线 14
8. 参数测试电路 17
9. 详细说明 20
9.1. 逻辑输入 20
9.2. 失效保护接收器 21
9.3. 发送器 21
9.4. 保护功能 22
9.4.1. 信号隔离与电源隔离 22
9.4.2. 热关断 22
9.4.3. 限流保护 22
10. 应用信息 22
10.1. 概述 22
10.2. 典型应用 23
10.3. 256 个总线节点 24
10.4. PCB 布板 24
11. 封装信息 25
11.1. SOIC16 宽体封装尺寸 25
11.2. SOIC20 宽体封装尺寸 26
12. 焊接信息 27
13. 卷带信息 28
14. 重要声明 29

5. 修订历史

修订版本号	修订内容	页码
Version 1.00	N/A	N/A
Version 1.01	新增图 10-2，图 10-3，图 10-4 新增 10.4 PCB 布板章节 更新表 12-1 焊接温度参数成中文格式	23 24 28
Version 1.02	新增电源输入输出电容值建议：建议在 V_{CC} 与 GNDA、V_{ISO} 与 GNDB 之间外接 10μF 的去耦电容。如果由于其他原因无法使用 10μF 电容时，电容值不得低于 4.7μF 。PCB 布板建议添加距离信息。	22,24

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

6. 引脚功能描述

6.1. CA-IS3090W/CA-IS3096W 描述

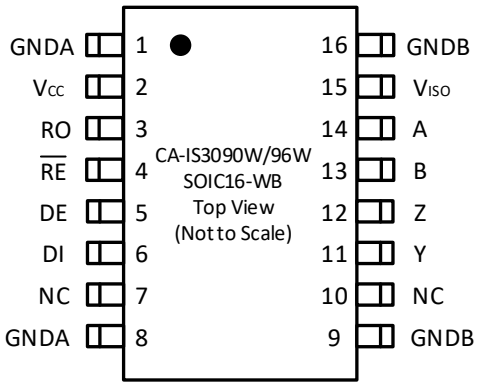


图 6- 1 CA-IS3090W/CA-IS3096W SOIC16 配置

表 6- 1CA-IS3090W/CA-IS3096W SOIC16 引脚功能描述

引脚名称	引脚编号	类型	描述
GNDA	1，8	地	逻辑侧地，逻辑侧信号的地参考点。
V_{CC}	1	电源	逻辑侧电源，为逻辑侧和内部 DC-DC 转换器供电。在 V_{CC} 与 GNDA 之间外接 0.1μF 和 10μF 旁路电容，电容需靠近电源引脚安装。
RO	3	逻辑输出	逻辑侧接收器输出端，详见真值表（*表 9-1*）。
$\overline{RE}$	4	逻辑输入	接收器使能控制，低电平有效。 $\overline{RE}$ 为低时，使能接收器工作。$\overline{RE}$ 为高时，接收输出为高阻。
DE	5	逻辑输入	发送器使能控制：高电平有效。 DE 为低电平时，驱动输出为高阻；DE 为高电平时，发送器使能工作。
DI	6	逻辑输入	发送器数据输入端，DE 为高电平时，如果 DI 为高电平，则 Y 输出高电平，Z 输出低电平；如果 DI 为低时，则 Y 输出低电平， Z 输出高电平。
NC	7	-	悬空，没有内部连接。
GNDB	9，16	地	总线侧地，GNDB 是 RS-485/RS-422 总线信号的参考点。
NC	10	-	悬空，没有内部连接。
Y	11	逻辑输出	RS-485/RS-422 总线发送器同相输出端。
Z	12	逻辑输出	RS-485/RS-422 总线发送器反相输出端。
B	13	逻辑输入	RS-485/RS-422 总线发送器反相输入端。
A	14	逻辑输入	RS-485/RS-422 总线发送器同相输入端。
V_{ISO}[1]	15	电源	隔离电源输出，为总线侧供电。在 V_{ISO} 与 GNDB 之间外接 0.1μF 和 10μF 旁路电容，电容需靠近电源引脚安装。

注：
1. 隔离电源输出电压 V_{ISO} = 3.3V。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

6.2. CA-IS3090T/CA-IS3096T 描述

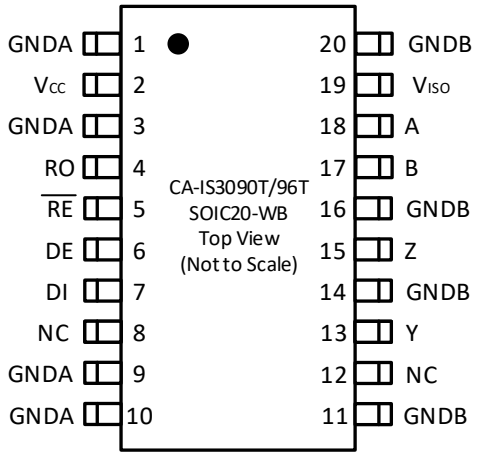


图 6- 2 CA-IS3090T/ CA-IS3096T SOIC20 配置

表 6- 2 CA-IS3090T/ CA-IS3096T SOIC20 引脚功能描述

引脚名称	引脚编号	类型	描述
GNDA	1, 3, 9, 10	地	逻辑侧地，逻辑侧信号的地参考点。
V_{CC}	2	电源	逻辑侧电源，为逻辑侧和内部 DC-DC 转换器供电。在 V_{CC} 与 GNDA 之间外接 0.1μF 和 10μF 旁路电容，电容需靠近电源引脚安装。
RO	4	逻辑输出	逻辑侧接收器输出端，详见真值表（*表 9-1*）。
$\overline{RE}$	5	逻辑输入	接收器使能控制，低电平有效。 $\overline{RE}$ 为低时，使能接收器工作。$\overline{RE}$ 为高时，接收输出为高阻。
DE	6	逻辑输入	发送器使能控制：高电平有效。 DE 为低电平时，驱动输出为高阻；DE 为高电平时，发送器使能工作。
DI	7	逻辑输入	发送器数据输入端，DE 为高电平时，如果 DI 为高电平，则 Y 输出高电平，Z 输出低电平；如果 DI 为低时，则 Y 输出低电平，Z 输出高电平。
NC	8	---	无内部连接。
GNDB	11, 14, 16, 20	地	总线侧地，GNDB 是 RS-485/RS-422 总线信号的的参考点。
NC	12	---	无内部连接。
Y	13	逻辑输出	RS-485/RS-422 总线发送器同相输出端。
Z	15	逻辑输出	RS-485/RS-422 总线发送器反相输出端。
B	17	逻辑输入	RS-485/RS-422 总线发送器反相输入端。
A	18	逻辑输入	RS-485/RS-422 总线发送器同相输入端。
V_{ISO}[1]	19	电源	隔离电源输出，为总线侧供电。在 V_{ISO} 与 GNDB 之间外接 0.1μF 和 10μF 旁路电容，电容需靠近电源引脚安装。

注：
1. 隔离电源输出电压 V_{ISO} = 3.3V。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

6.3. CA-IS3092W/CA-IS3098W 描述

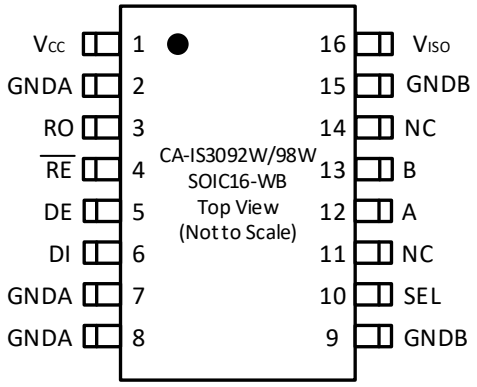


图 6- 3 CA-IS3092W/CA-IS3098W SOIC16 配置

表 6- 3 CA-IS3092W/CA-IS3098W SOIC16 引脚功能描述

引脚名称	引脚编号	类型	描述
V_{CC}	1	电源	逻辑侧电源，为逻辑侧和内部 DC-DC 转换器供电。在 V_{CC} 与 GNDA 之间外接 0.1μF 和 10μF 旁路电容，电容需靠近电源引脚安装。
GNDA	2，7，8	地	逻辑侧地，逻辑侧信号的地参考点。
RO	3	逻辑输出	逻辑侧接收器输出端，详见真值表（*表 9-1*）。
$\overline{RE}$	4	逻辑输入	接收器使能控制，低电平有效。 $\overline{RE}$ 为低时，使能接收器工作。$\overline{RE}$ 为高时，接收输出为高阻。
DE	5	逻辑输入	发送器使能控制：高电平有效。 DE 为低电平时，驱动输出为高阻；DE 为高电平时，发送器使能工作。
DI	6	逻辑输入	发送器数据输入端，DE 为高电平时，如果 DI 为高电平，则 A 输出高电平，B 输出低电平；如果 DI 为低时，则 A 输出低电平，B 输出高电平。
GNDB	9，15	地	总线侧地，GNDB 是 RS-485/RS-422 总线信号的的参考点。
SEL[1]	10	逻辑输入	V_{ISO} 输出电压选择。 SEL 接 V_{ISO} 时，V_{ISO} = 5.0 V； SEL 接 GNDB 或浮空时，V_{ISO} = 3.3 V。
NC	11，14	--	无内部连接。
A	12	逻辑输入/输出	RS-485/RS-422 总线接收器同相输入/发送器同相输出端。
B	13	逻辑输入/输出	RS-485/RS-422 总线接收器反相输入/发送器反相输出端。
V_{ISO}	16	电源	隔离电源输出，为总线侧供电。在 V_{ISO} 与 GNDB 之间外接 0.1μF 和 10μF 旁路电容，电容需靠近电源引脚安装。

注：

1. 当 SEL 接 V_{ISO} 时，V_{ISO}=5V；当 SEL 接 GNDB 或悬空时，V_{ISO} = 3.3V。当 V_{CC} 电压为 3.3V 时，SEL 只能接地或悬空；当 V_{CC} 电压为 5V 时，SEL 不受限制。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

7. 产品规格

7.1. 绝对最大额定值 [1]

参数		最小值	最大值	单位
V_{CC}， V_{ISO}	电源电压 [2]	-0.5	6.0	V
V_{in}	输入电压	-0.5	V_{CC}+0.5 [3]	V
I_O	输出电流	-20	20	mA
T_J	结温		150	℃
T_{STG}	存储温度范围	-65	150	℃

注:

1. 工作条件等于或超出上述绝对最大额定值可能会导致器件永久性损坏。这里给出的是器件额定值，并非工作条件，不能据此推断产品能否正常工作。器件长期在超出最大额定值条件下工作会影响产品的可靠性，甚至导致产品损坏。
2. 除总线差分输出/输入电压以外，所有电压值均相对于本地接地端（GNDA 或 GNDB），并且是峰值电压值。
3. 最大电压不得超过 6 V。

7.2. ESD 额定值

			数值	单位
V_{ESD} 静电放电	人体模型 (HBM)， 基于 ANSI/ESDA/JEDEC JS-001，所有引脚 [1]。	逻辑侧引脚对 GNDA	±6000	V
		总线引脚对 GNDB	±8000	
		总线侧其他引脚对 GNDB	±6000	
	接触放电，基于 IEC 61000-4-2，总线引脚到 GNDB。		±12000	
	组件充电模式(CDM)，基于 JEDEC 规范 JESD22-C101， 所有引脚 [2]。		±2000	

注:

1. JEDEC 文件 JEP155 规定：500V HBM 允许按照标准 ESD 控制过程进行安全生产。
2. JEDEC 文件 JEP157 规定：250V CDM 允许按照标准 ESD 控制过程进行安全生产。

7.3. 建议工作条件

参数		最小值	典型值	最大值	单位
V_{CC}[1]	电源电压	3	3.3/5.0	5.5	V
V_{OC}	A，B 引脚电压	-7		12	V
V_{ID}	A，B 差分输入电压	-12		12	V
V_{IH}	逻辑高电平输入	2.0			V
V_{IL}	逻辑低电平输入			0.8	V
DR	CA-IS3090W 信号传输速率			0.5	Mbps
DR	CA-IS3092W 信号传输速率			0.5	Mbps
DR	CA-IS3096W 信号传输速率			10	Mbps
DR	CA-IS3098W 信号传输速率			10	Mbps
DR	CA-IS3090T 信号传输速率			0.5	Mbps
DR	CA-IS3096T 信号传输速率			10	Mbps
T_A	环境温度	-40	25	125	℃

注：

1. 任何工作条件下，电源电压需要满足 $V_{CC} \geq V_{ISO}$。

7.4. 热阻信息

热参数		CA-IS309x		Unit
		T	W	
$R_{\theta JA}$	IC 结至环境的热阻	83.4	86.5	°C/W

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

7.5. 隔离特性

参数		测试条件	数值 W/T	单位
CLR	外部气隙（间隙）[1]	输入端至输出端的隔空最短距离	8	mm
CPG	外部爬电距离 [1]	输入端至输出端沿壳体的最短距离	8	mm
DTI	隔离距离	最小内部间隙（内部距离）	21	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11)；IEC 60112	>400	V
	材料组	依据 IEC 60664-1	II	
	IEC 60664-1 过压类别	额定电压≤ 300 V_{RMS}	I-IV	
		额定电压≤ 400 V_{RMS}	I-IV	
		额定电压 ≤ 600 V_{RMS}	I-III	
DIN V VDE V 0884-11:2017-01[2]				
V_{IORM}	最大重复峰值隔离电压	交流电压(双极)	849	V_{PK}
V_{IOWM}	最大工作隔离电压	交流电压; 时间相关的介质击穿 (TDDB) 测试	600	V_{RMS}
		直流电压	849	V_{DC}
V_{IOTM}	最大瞬态隔离电压	$V_{TEST} = V_{IOTM}$，t = 60 s (认证); $V_{TEST} = 1.2 \times V_{IOTM}$，t= 1 s (100% 产品测试)	7070	V_{PK}
V_{IOSM}	最大浪涌隔离电压 [3]	测试方法 依据 IEC 60065， 1.2/50 μs 波形， $V_{TEST} = 1.6 \times V_{IOSM}$ (生产测试)	6250	V_{PK}
q_{pd}	表征电荷 [4]	方法 a，输入/输出安全测试子类 2/3 后， $V_{ini} = V_{IOTM}$， t_{ini} = 60 s; $V_{pd(m)} = 1.2 \times V_{IORM}$， t_m = 10 s	≤5	pC
		方法 a，环境测试子类 1 后， $V_{ini} = V_{IOTM}$， t_{ini} = 60 s; $V_{pd(m)} = 1.6 \times V_{IORM}$， t_m = 10 s	≤5	
		方法 b， 常规测试 (100% 生产测试) 和前期 预处理(抽样测试) $V_{ini} = 1.2 \times V_{IOTM}$， t_{ini} = 1 s; $V_{pd(m)} = 1.875 \times V_{IORM}$， t_m = 1 s	≤5	
C_{IO}	栅电容， 输入到输出 [5]	V_{IO} = 0.4 × sin (2πft)， f = 1 MHz	~0.5	pF
R_{IO}	绝缘电阻 [5]	V_{IO} = 500 V， T_A = 25°C	$>10^{12}$	Ω
		V_{IO} = 500 V， 100°C ≤ T_A ≤ 125°C	$>10^{11}$	
		V_{IO} = 500 V at T_S = 150°C	$>10^{9}$	
	污染度		2	
UL 1577				
V_{ISO}	最大隔离电压	$V_{TEST} = V_{ISO}$， t = 60 s (认证)， $V_{TEST} = 1.2 \times V_{ISO}$， t = 1 s (100%生产测试)	5000	V_{RMS}

注:

1. 爬电距离和间隙要求应根据具体应用中特定设备的隔离标准。电路板设计应注意保持爬电和间隙距离，确保隔离器在印刷电路板上的焊盘不会缩短此距离。印刷电路板上的爬电距离与间隙在某些情况下是相同的。通过在电路板上插入凹槽可以增大这些距离指标。
2. 该标准仅适用于最大工作额定值范围内的安全电气隔离，应通过适当的保护电路确保遵守安全等级要求。
3. 测试在空气或油中进行，以确定隔离层固有的浪涌抑制。
4. 表征电荷是由局部放电引起的放电电荷(pd)。
5. 绝缘栅两侧的所有引脚连接在一起，构成双端器件。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

7.6. 相关安全认证（申请中）

VDE	CSA	UL	CQC	TUV
根据 DIN V VDE V 0884-11:2017-01 认证	根据 IEC 60950-1， IEC 62368-1 和 IEC 60601-1 认证	基于 UL1577 器件认证程序	根据 GB4943.1-2011 认证	根据 EN61010-1:2010 (3rd Ed)和 EN 60950-1:2006/A2:2013 认证

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

7.7. 电气特性

7.7.1. 驱动器特性

除非有额外说明，本表格数据均为推荐工作条件下的测试结果。

参数		测试条件	最小值	典型值	最大值	单位
$\|V_{OD1}\|$	差分输出电压(无负载) CA-IS3092W, CA-IS3098W	I_O=0mA， 无负载，SEL 为低电平或悬空	3.09	3.37	3.62	V
		I_O=0mA， 无负载，SEL 为高电平	4.50	5.06	5.43	
$\|V_{OD2}\|$	差分输出电压(带负载) CA-IS3092W, CA-IS3098W	R_L=54Ω，如*图 8-1*，SEL 为低电平或悬空	1.0	1.4	1.97	V
		R_L=54Ω，如*图 8-1*，SEL 为高电平	1.48	2.28	3.18	
$\|V_{OD2}\|$	差分输出电压(带负载) CA-IS3090T, CA-IS3096T CA-IS3090W, CA-IS3096W	R_L=54Ω，如*图 8-1*	1.0	1.4	1.97	V
$\|V_{OD3}\|$	差分输出电压(带负载)	V_{test} 从-7V 到 12V，如*图 8-1*	1.0	1.4		V
$\Delta\|V_{OD}\|$	差分输出电压变化量	R_L=54Ω， 或 R_L=100Ω，如*图 8-1*	-0.2		0.2	V
V_{OC}	共模输出电压	R_L=54Ω， 或 R_L=100Ω，如*图 8-1*	1		3	V
ΔV_{OC}	两个状态下共模输出电压变化量	R_L=54Ω， 或 R_L=100Ω，如*图 8-1*	-0.2		0.2	V
V_{IH}	逻辑高电平输入阈值	DI，DE， $\overline{RE}$	2.0			V
V_{IL}	逻辑低电平输入阈值	DI，DE， $\overline{RE}$			0.8	V
I_{IL}	输入漏电流	DI，DE， $\overline{RE}$=0 或 1	-20		20	μA
I_{OZ}	高阻输出漏电流(A, B) CA-IS3092W, CA-IS3098W	DE=0， $\overline{RE}$=0，V_{CC}=0 或 5V，V_{IN}=12V		60	100	μA
		DE=0， $\overline{RE}$=0，V_{CC}=0 或 5V，V_{IN}=-7V	-100	-60		
I_{OZ}	高阻输出漏电流(Y, Z) CA-IS3090T, CA-IS3096T CA-IS3090W, CA-IS3096W	DE=0， $\overline{RE}$=0，V_{CC}=0 或 5V，V_{IN}=12V		60	100	μA
		DE=0， $\overline{RE}$=0，V_{CC}=0 或 5V，V_{IN}=-7V	-100	-60		
I_{os1}	驱动器输出短路电流 CA-IS3092W, CA-IS3098W	DE= $\overline{RE}$=1， DI=1， V_A=-7 V，V_B=12 V，SEL 为高电平	48	78	108	mA
I_{os2}	驱动器输出短路电流 CA-IS3092W, CA-IS3098W	DE= $\overline{RE}$ =1， DI=0， V_A =-7 V，V_B =12 V， SEL 为高电平	48	78	108	mA
I_{os1}	驱动器输出短路电流 CA-IS3092W, CA-IS3098W	DE= $\overline{RE}$=1， DI=1， V_A=-7 V，V_B=12 V，SEL 为低电平	24	40	64	mA
I_{os2}	驱动器输出短路电流 CA-IS3092W, CA-IS3098W	DE= $\overline{RE}$ =1， DI=0， V_A =-7 V，V_B =12 V， SEL 为低电平	24	40	64	mA
I_{os1}	驱动器输出短路电流 CA-IS3090T, CA-IS3096T CA-IS3090W, CA-IS3096W	DE= $\overline{RE}$=1， DI=1， V_Y=-7 V，V_Z=12 V	24	40	64	mA
I_{os2}	驱动器输出短路电流 CA-IS3090T, CA-IS3096T CA-IS3090W, CA-IS3096W	DE= $\overline{RE}$ =1， DI=0， V_Y =-7 V，V_Z =12 V	24	40	64	mA
CMTI	共模瞬变抗扰度	V_{CM} = 1200V; 如*图 8-6, 图 8-7*	100	150		kV/μS
C_I	输入电容	VI = V_{CC}/ 2 + 0.4×sin(2πft)，f = 1 MHz， V_{CC} = 5 V		2		pF

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

7.7.2. 接收器特性

除非有额外说明，本表格数据均为推荐工作条件下的测试结果。

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	逻辑高电平输出电压	V_{CC}=5V，I_{OH}=4mA	V_{CC}-0.4	4.8		V
		V_{CC}=3.3V，I_{OH}=-4mA	V_{CC}-0.4	3		
V_{OL}	逻辑低电平输出电压	V_{CC}=5V，I_{OL}=4mA		0.2	0.4	V
		V_{CC}=3.3V，I_{OL}=4mA		0.2	0.4	
$V_{IT+(IN)}$	逻辑高电平输入阈值			-100	-20	mV
$V_{IT-(IN)}$	逻辑低电平输入阈值		-200	-130		mV
$V_{I(HYS)}$	输入阈值迟滞			30		mV
I_I	总线输入电流 CA-IS3092W, CA-IS3098W	V_A or V_B =12V， 其它输入引脚接 0V		0.04	0.1	mA
		V_A or V_B =12V， 关闭电源，其它输入引脚接 0V		0.06	0.13	
		V_A or V_B =-7V， 其它输入引脚接 0V	-0.1	-0.04		
		V_A or V_B =-7V，关闭电源，其它输入引脚接 0V	-0.1	-0.03		
I_I	总线输入电流 CA-IS3090T, CA-IS3096T CA-IS3090W, CA-IS3096W	V_A or V_B =12V， 其它输入引脚接 0V		0.04	0.1	mA
		V_A or V_B =12V， 关闭电源，其它输入引脚接 0V		0.06	0.13	
		V_A or V_B =-7V， 其它输入引脚接 0V	-0.1	-0.04		
		V_A or V_B =-7V，关闭电源，其它输入引脚接 0V	-0.1	-0.03		
I_{IH}	输入高电平漏电流 $\overline{RE}$	V_{IH} = 2 V			20	μA
I_{IL}	输入低电平漏电流 $\overline{RE}$	V_{IL} = 0.8 V	-20			μA
R_{ID}	差分输入电阻	A，B， -7V<V_{CM}<12V	150			KΩ
C_D	差分输入电容	输入 f = 1.5 MHz， Vpp=1V 正弦信号 通过 A 和 B 测量 C_D		7		pF
C_I	输入到地电容	VI = 0.4 × sin (2πft)， f = 1MHz		2		pF

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

7.8. 电源电流

除非有额外说明，本表格数据均为建议工作条件下的测试结果。

参数	测试条件	最小值	典型值	最大值	单位
V_{ISO} 隔离电源输出电压	V_{CC}=5V， A、B 之间没有负载，SEL=0 或悬空	3.00	3.42	3.75	V
	V_{CC}=5V， A、B 之间没有负载，SEL=1	4.50	5.15	5.43	
I_{CC} 逻辑侧供电电流 CA-IS3092W CA-IS3098W	A、B 之间没有负载，V_{CC}=3.3V，$\overline{RE}$=0 ， DE=1 ， DI=0，SEL=0		17	28	mA
	A、B 之间没有负载电阻， V_{CC}=5.0V，$\overline{RE}$=0 ， DE=1 ， DI=0，SEL=0		15	22	
	A、B 之间没有负载电阻， V_{CC}=5.0V，$\overline{RE}$=0 ， DE=1 ， DI=0，SEL=1		18	28	
	A、B 之间负载为 54Ω，V_{CC}=3.3V，$\overline{RE}$=0 ， DE=1 ， DI=0，SEL=0		69	108	
	A、B 之间负载为 54Ω， V_{CC}=5V，$\overline{RE}$=0 ， DE=1 ， DI=0，SEL=0		50	74	
	A、B 之间负载为 54Ω， V_{CC}=5V，$\overline{RE}$=0 ， DE=1 ， DI=0，SEL=1		95	146	
	A、B 之间负载为 100Ω，V_{CC}=3.3V，$\overline{RE}$=0 ， DE=1 ， DI=0，SEL=0		56	87	
	A、B 之间负载为 100Ω， V_{CC}=5V，$\overline{RE}$=0 ， DE=1 ， DI=0，SEL=0		41	60	
	A、B 之间负载为 100Ω， V_{CC}=5V，$\overline{RE}$=0 ， DE=1 ， DI=0，SEL=1		74	113	
	A、B 之间负载为 120Ω，V_{CC}=3.3V，$\overline{RE}$=0 ， DE=1 ， DI=0，SEL=0		52	82	
	A、B 之间负载为 120Ω， V_{CC}=5V，$\overline{RE}$=0 ， DE=1 ， DI=0，SEL=0		39	57	
	A、B 间负载 120Ω， V_{CC}=5V，$\overline{RE}$=0 ， DE=1 ， DI=0，SEL=1		68	104	
I_{CC} 逻辑侧供电电流 CA-IS3092W	A、B 间负载 54Ω, V_{CC}=3.3V, $\overline{RE}$=0, DE=1, DI 输入 0.25MHz、50%占空比方波,SEL=0		68	107	
	A、B 间负载 100Ω, V_{CC}=3.3V, $\overline{RE}$=0, DE=1, DI 输入 0.25MHz、50%占空比方波, SEL=0		54	87	
	A、B 间负载 120Ω, V_{CC}=3.3V, $\overline{RE}$=0, DE=1, DI 输入 0.25MHz、50%占空比方波, SEL=0		50	79	
	A、B 间负载 54Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 0.25MHz、50%占空比方波,SEL=0		49	72	
	A、B 间负载 100Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 0.25MHz、50%占空比方波, SEL=0		40	58	
	A、B 间负载 120Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 0.25MHz、50%占空比方波, SEL=0		37	55	
	A、B 间负载 54Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 0.25MHz、50%占空比方波,SEL=1		94	143	
	A、B 间负载 100Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 0.25MHz、50%占空比方波, SEL=1		72	110	
	A、B 间负载 120Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 0.25MHz、50%占空比方波, SEL=1		67	102	
I_{CC} 逻辑侧供电电流 CA-IS3098W	A、B 间负载 54Ω, V_{CC}=3.3V, $\overline{RE}$=0, DE=1, DI 输入 5MHz、50%占空比方波,SEL=0		68	107	
	A、B 间负载 100Ω, V_{CC}=3.3V, $\overline{RE}$=0, DE=1, DI 输入 5MHz、50%占空比方波, SEL=0		55	87	
	A、B 间负载 120Ω, V_{CC}=3.3V, $\overline{RE}$=0, DE=1, DI 输入 5MHz、50%占空比方波, SEL=0		50	79	
	A、B 间负载 54Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 5MHz、50%占空比方波,SEL=0		50	73	
	A、B 间负载 100Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 5MHz、50%占空比方波, SEL=0		41	60	
	A、B 间负载 120Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 5MHz、50%占空比方波, SEL=0		38	56	
	A、B 间负载 54Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 5MHz、50%占空比方波,SEL=1		95	146	
	A、B 间负载 100Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 5MHz、50%占空比方波, SEL=1		74	114	
	A、B 间负载 120Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 5MHz、50%占空比方波, SEL=1		69	106	

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

电源电流（续）

除非有额外说明，本表格数据均为建议工作条件下的测试结果。

参数	测试条件	最小值	典型值	最大值	单位
V_{ISO} 隔离电源输出电压	V_{CC}=5V， Y 和 Z 之间没有负载电阻	3.17	3.36	3.53	V
I_{CC} 逻辑侧供电电流 CA-IS3090T, CA-IS3096T CA-IS3090W, CA-IS3096W	Y、Z 之间没有负载电阻， V_{CC}=3.3V，$\overline{RE}$=0 ， DE=1 ， DI=0		17	28	mA
	Y、Z 之间没有负载电阻，V_{CC}=5.0V，$\overline{RE}$=0 ， DE=1 ， DI=0		15	22	
	Y、Z 之间的负载电阻为 54Ω， V_{CC}=3.3V，$\overline{RE}$=0 ， DE=1 ， DI=0		69	108	
	Y、Z 之间的负载电阻为 54Ω， V_{CC}=5V，$\overline{RE}$=0 ， DE=1 ， DI=0		50	74	
	Y、Z 之间的负载电阻为 100Ω， V_{CC}=3.3V，$\overline{RE}$=0 ， DE=1 ， DI=0		56	87	
	Y、Z 之间的负载电阻为 100Ω，V_{CC}=5V，$\overline{RE}$=0 ， DE=1 ， DI=0		41	60	
	Y、Z 之间的负载电阻为 120Ω， V_{CC}=3.3V，$\overline{RE}$=0 ， DE=1 ， DI=0		52	82	
	Y、Z 之间的负载电阻为 120Ω， V_{CC}=5V， $\overline{RE}$=0 ， DE=1 ， DI=0		37	55	
I_{CC} 逻辑侧供电电流 CA-IS3090T, CA-IS3090W	Y、Z 间负载 54Ω, V_{CC}=3.3V, $\overline{RE}$=0, DE=1, DI 输入 0.25MHz、50%占空比方波		68	107	
	Y、Z 间负载 100Ω, V_{CC}=3.3V, $\overline{RE}$=0, DE=1, DI 输入 0.25MHz、50%占空比方波		54	87	
	Y、Z 间负载 120Ω, V_{CC}=3.3V, $\overline{RE}$=0, DE=1, DI 输入 0.25MHz、50%占空比方波		50	79	
	Y、Z 间负载 54Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 0.25MHz、50%占空比方波		49	72	
	Y、Z 间负载 100Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 0.25MHz、50%占空比方波		40	58	
	Y、Z 间负载 120Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 0.25MHz、50%占空比方波		37	55	
I_{CC} 逻辑侧供电电流 CA-IS3096T, CA-IS3096W	Y、Z 间负载 54Ω, V_{CC}=3.3V, $\overline{RE}$=0, DE=1, DI 输入 5MHz、50%占空比方波		68	107	
	Y、Z 间负载 100Ω, V_{CC}=3.3V, $\overline{RE}$=0, DE=1, DI 输入 5MHz、50%占空比方波		55	87	
	Y、Z 间负载 120Ω, V_{CC}=3.3V, $\overline{RE}$=0, DE=1, DI 输入 5MHz、50%占空比方波		50	79	
	Y、Z 间负载 54Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 5MHz、50%占空比方波		50	73	
	Y、Z 间负载 100Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 5MHz、50%占空比方波		41	60	
	Y、Z 间负载 120Ω, V_{CC}=5V, $\overline{RE}$=0, DE=1, DI 输入 5MHz、50%占空比方波		38	56	

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

7.9. 时序特性

7.9.1. 驱动时序特性

除非有额外说明，本表格数据均为建议工作条件下的测试结果。

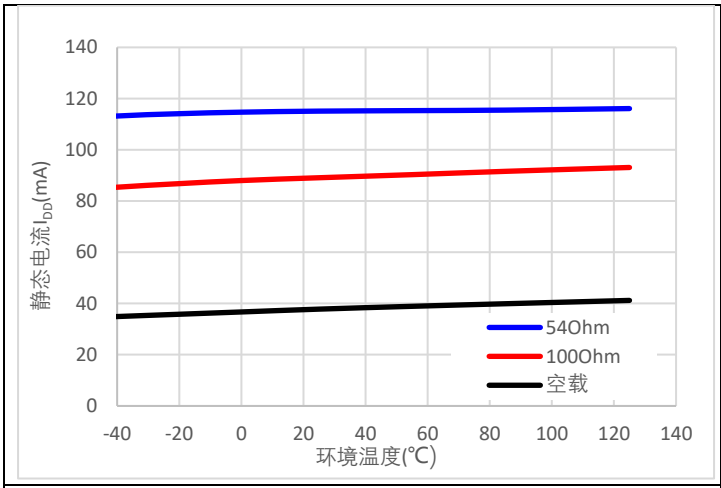
参数		测试说明	最小值	典型值	最大值	单位
t_{PLH}， t_{PHL}	传播延迟	R_{diff}=54Ω， C_L=50pF， 如*图8-2*，*图8-3*		16	48	ns
PWD	脉冲宽度失真 |t_{PLH}-t_{PHL}|			3	12.5	ns
t_r	输出上升时间			12	25	ns
t_f	输出下降时间			12	25	ns
t_{PZH}/ t_{PZL}	驱动使能传播延迟			28	90	ns
t_{PHZ}/ t_{PLZ}	驱动关闭使能传播延迟			28	90	ns

7.9.2. 接收时序特性

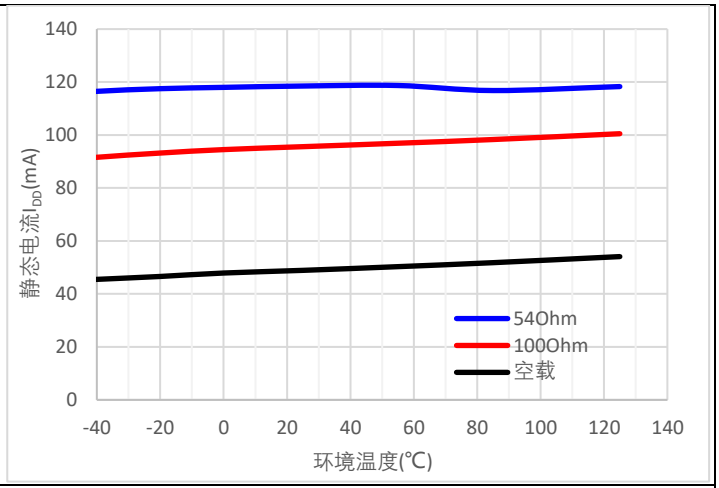
除非有额外说明，本表格数据均为建议工作条件下的测试结果。

参数		测试说明	最小值	典型值	最大值	单位
t_{PLH}， t_{PHL}	传播延迟	R_{diff}=54Ω， C_L =15pF 如*图8-4*， *图8-5*		80	165	ns
PWD	脉冲宽度失真 |t_{PLH}-t_{PHL}|			15	30	ns
t_r	输出上升时间			2.5	4	ns
t_f	输出下降时间			2.5	4	ns
t_{PHZ}, t_{PLZ}	接收器关闭延迟时间，输出高/低电平至高阻			28	90	ns
t_{PZH}, t_{PZL}	接收器使能延迟时间，输出高阻至高/低电平时间			43	52	ns

7.10. 典型特性曲线

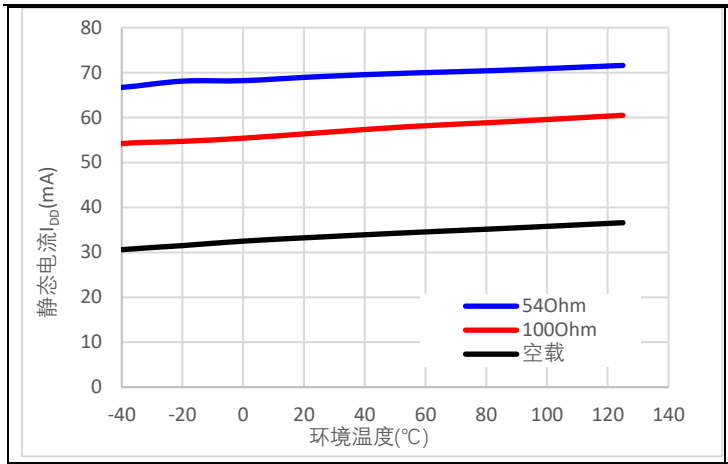


V_{DD}=5V,V_{ISO}=5V,DR=500kbps

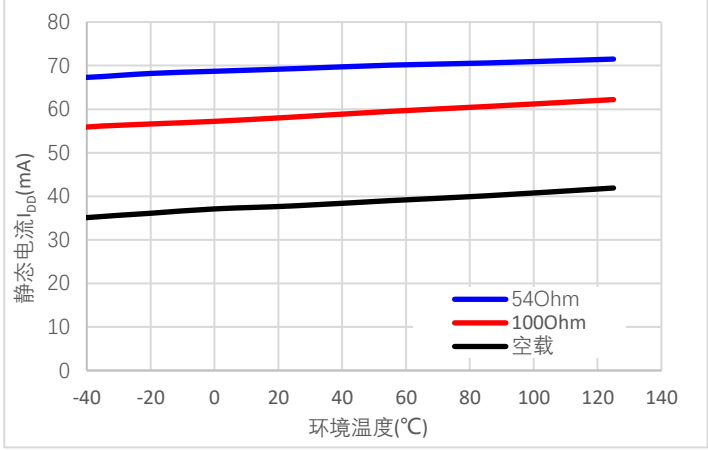


V_{DD}=5V,V_{ISO}=5V,DR=10Mbps

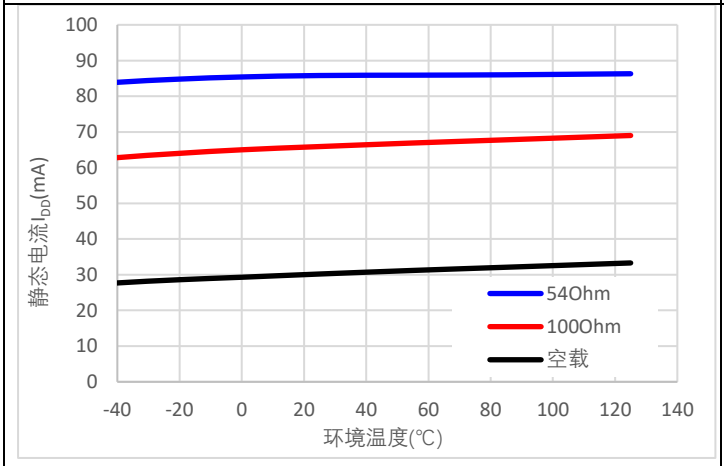
Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司



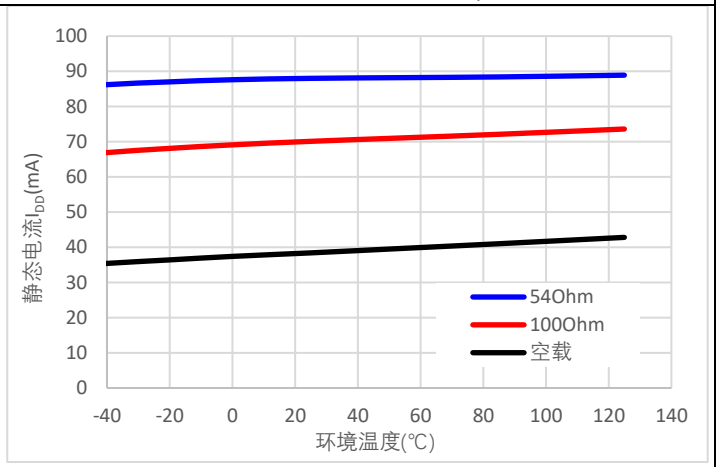
V_{DD}=5V,V_{ISO}=3.3V,DR=500kbps



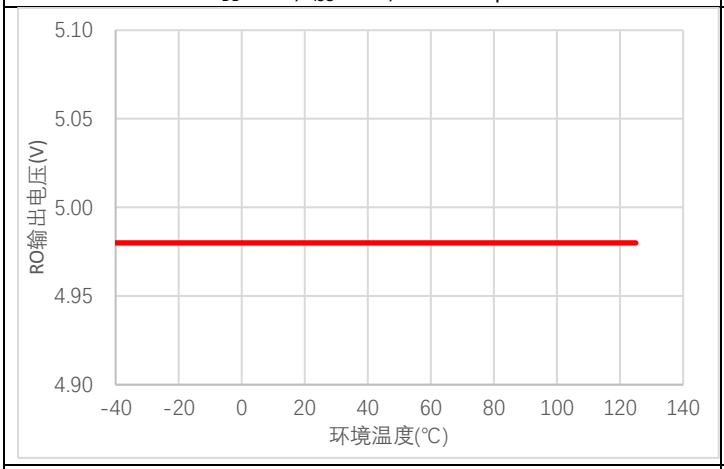
V_{DD}=5V,V_{ISO}=3.3V,DR=10Mbps



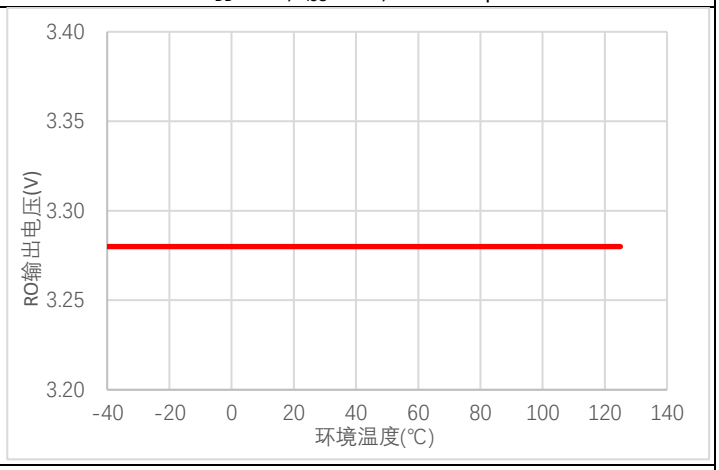
V_{DD}=3.3V,V_{ISO}=3.3V,DR=500kbps



V_{DD}=3.3V,V_{ISO}=3.3V,DR=10Mbps

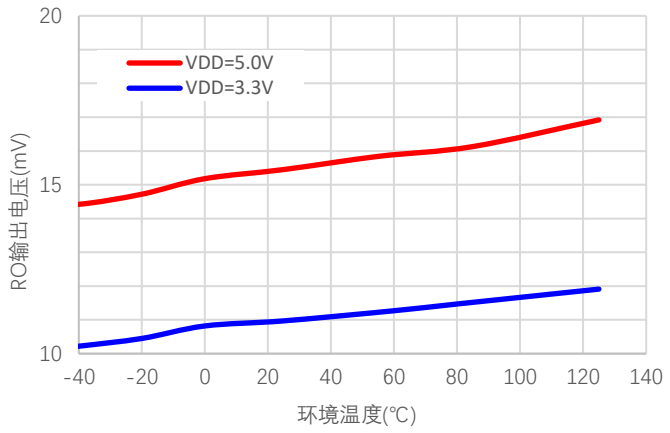


V_{DD}=5V,RO=High

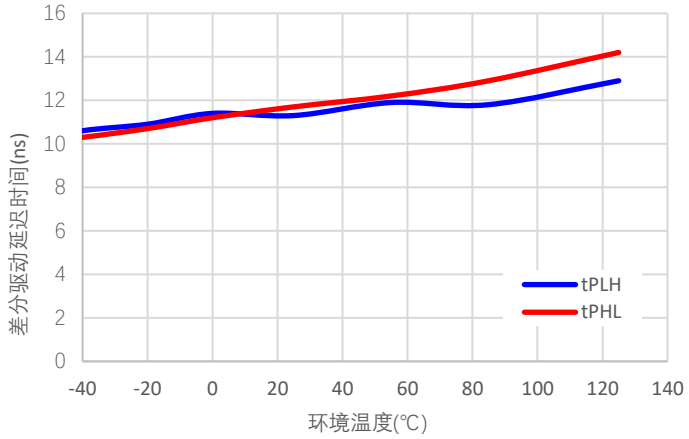


V_{DD}=3.3V,RO=High

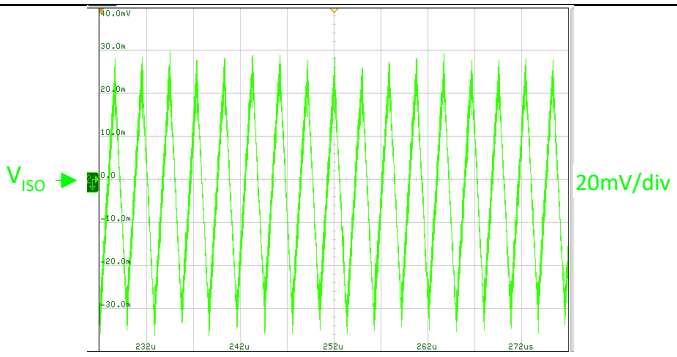
Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司



V_{DD}=5V,RO=Low

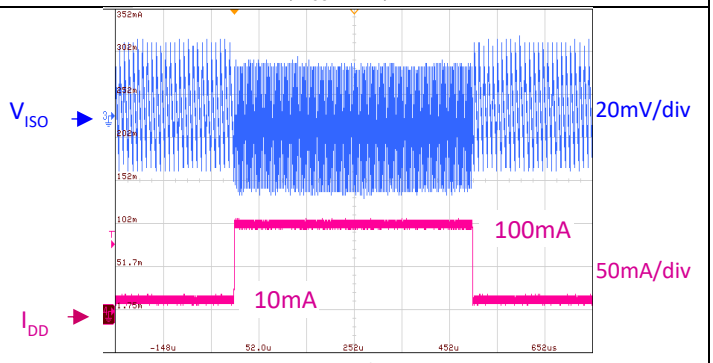


V_{DD}=3.3V,V_{ISO}=3.3V,R_L=54Ohm



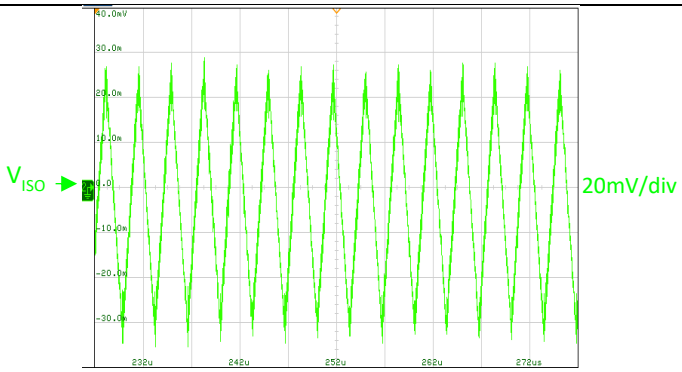
5us / div

V_{DD}=5V，V_{ISO}=5V，I_{ISO}=100mA；
V_{ISO} 纹波电压峰峰值：66mV



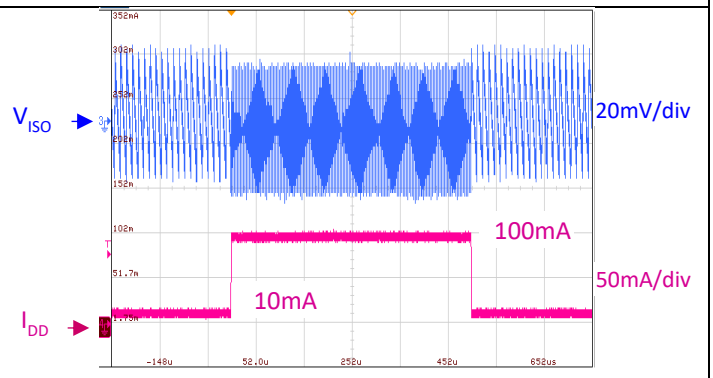
100us / div

V_{DD}=5V，V_{ISO}=5V，动态负载电流 I_{ISO}：10mA/100mA
V_{ISO} 纹波电压峰峰值 :76mV



5us / div

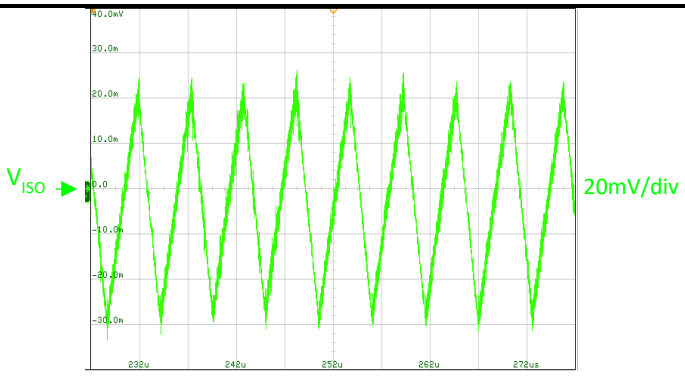
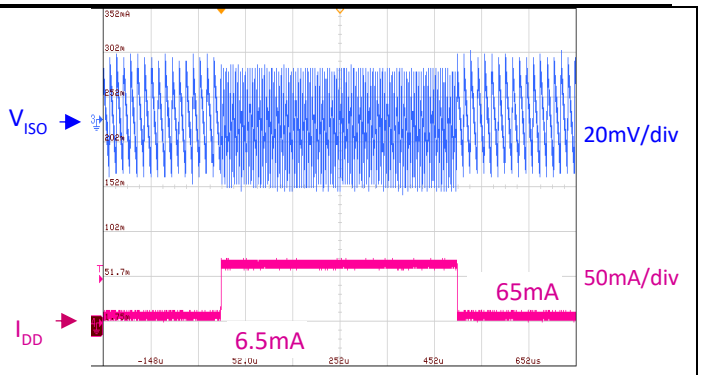
V_{DD}=5V，V_{ISO}=3.3V，I_{ISO}=100mA
V_{ISO} 纹波电压峰峰值 ： 64mV



100us / div

V_{DD}=5V，V_{ISO}=3.3V，动态负载电流 I_{ISO}：13mA/117mA
V_{ISO} 纹波电压峰峰值 :71mV

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

 5us / div	 100us / div
V_{DD}=3.3V，V_{ISO}=3.3V，I_{ISO}=100mA V_{ISO} 纹波电压峰峰值：60mV	V_{DD}=3.3V，V_{ISO}=3.3V，动态负载电流 I_{ISO}：6.5mA/65mA V_{ISO} 纹波电压峰峰值：64mV

8. 参数测试电路

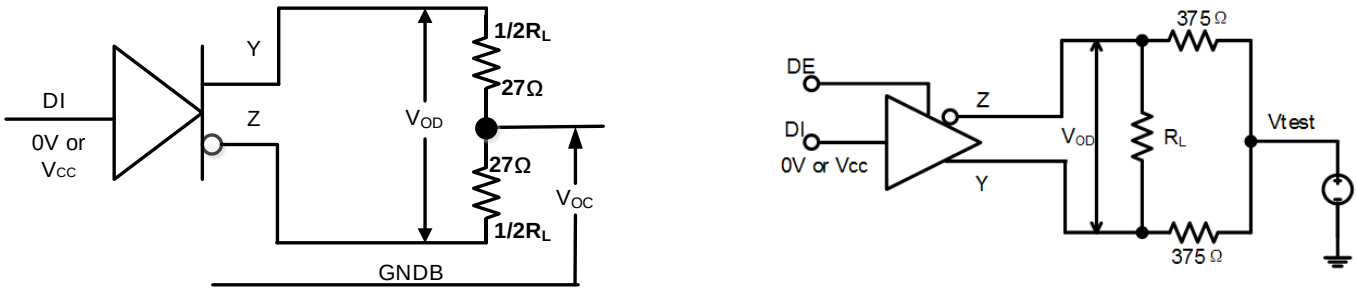


图 8- 1 驱动器直流特性测试电路

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

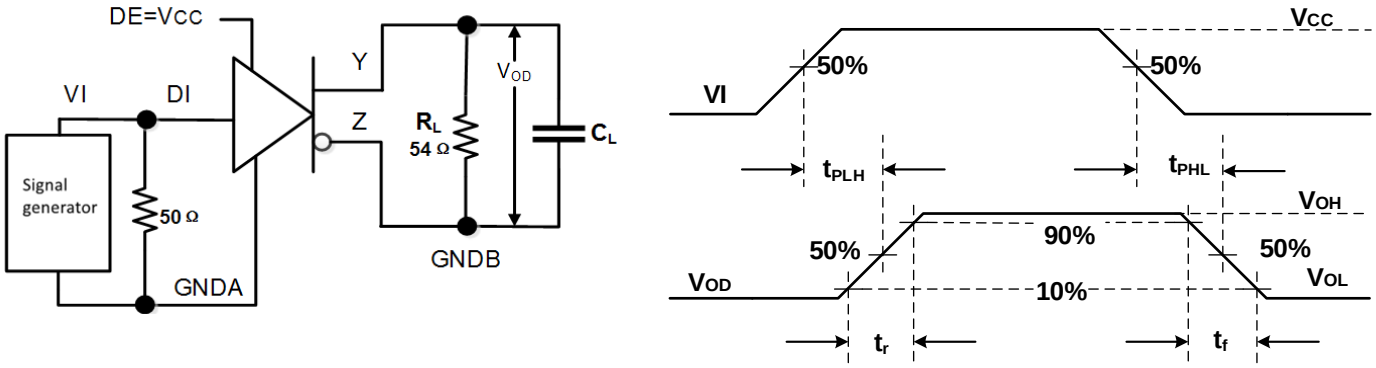


图 8- 2 驱动器传输延时测试电路与波形

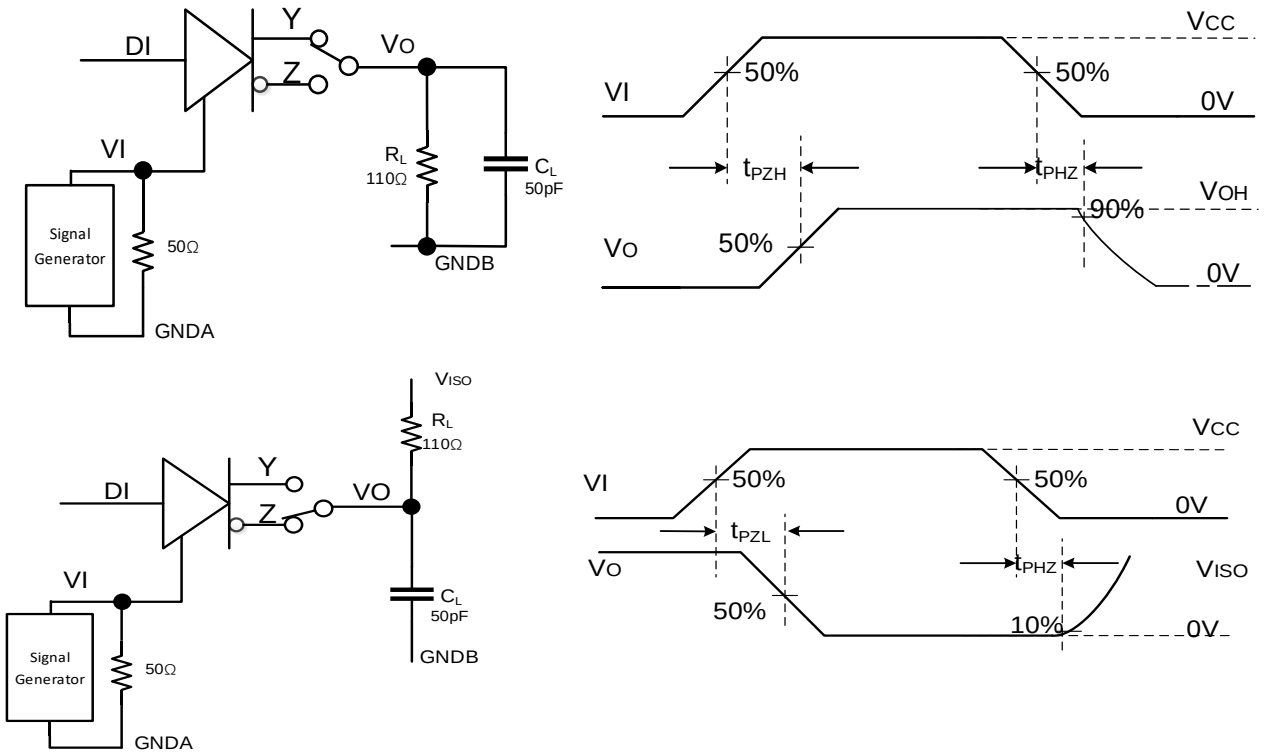


图 8- 3 驱动器使能与禁止时间

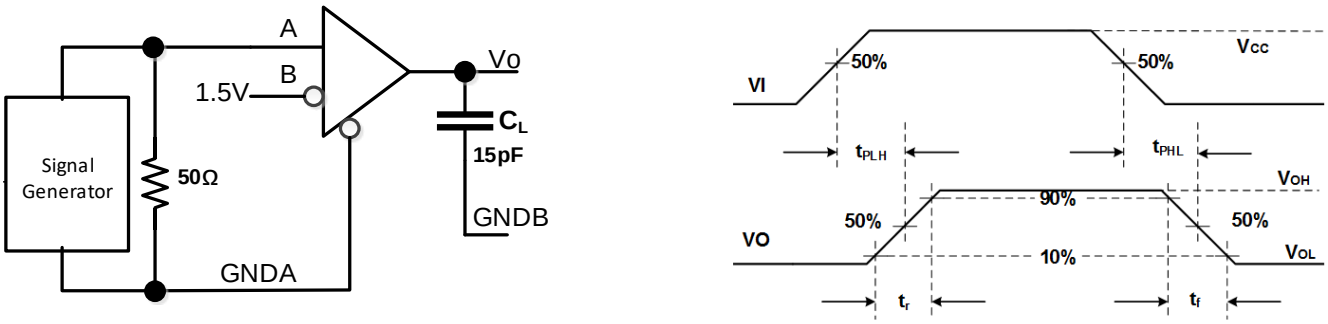


图 8- 4 接收器传输延时测试电路与波形

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

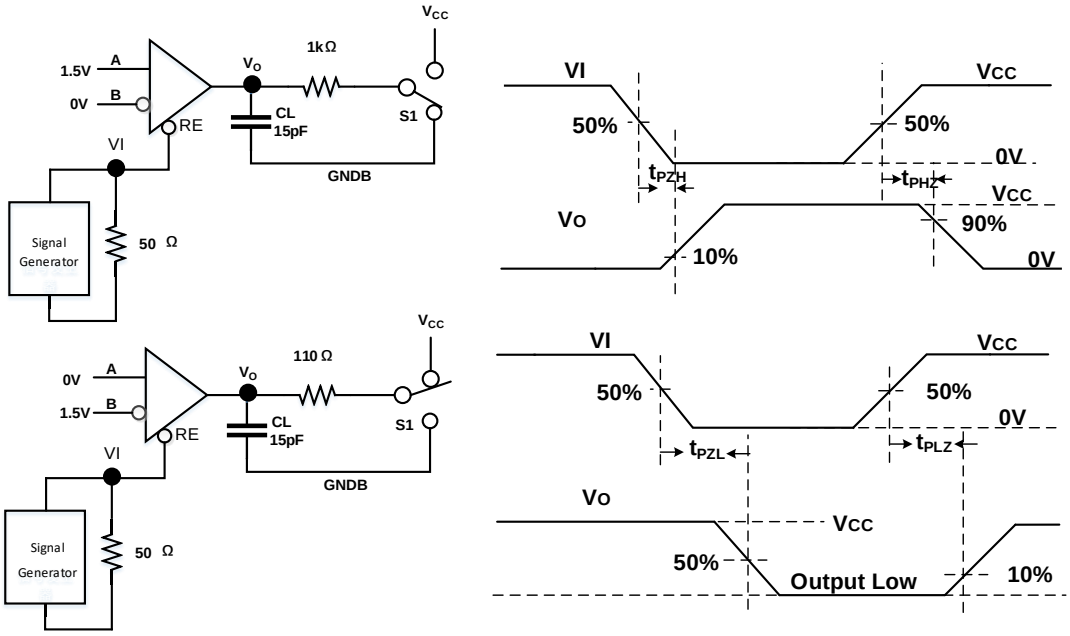


图 8- 5 接收器使能与禁止时间

注：

1. 对于 RS-422，R_L = 110 Ω；对于 RS-485，R_L = 54 Ω。
2. C_L 包括所有外部电路（测试仪器、连线等）的等效电容。

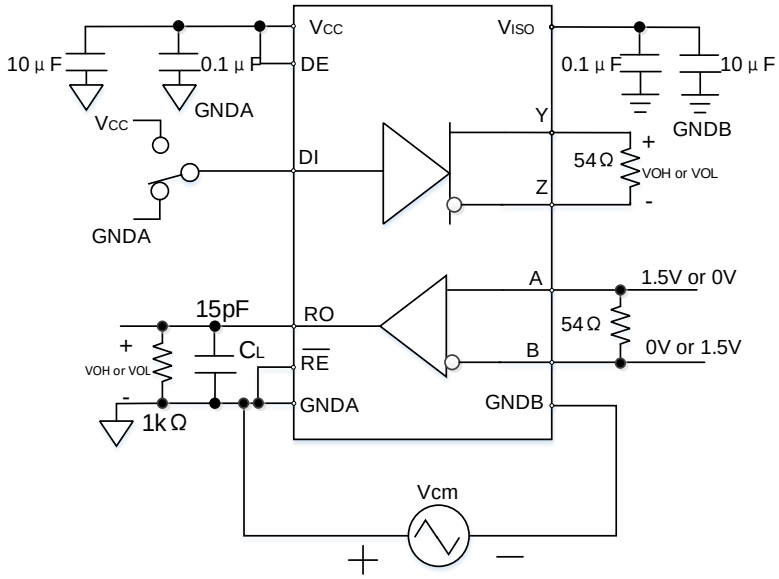


图 8- 6 全双工收发器共模抑制比 (CMTI) 测试电路

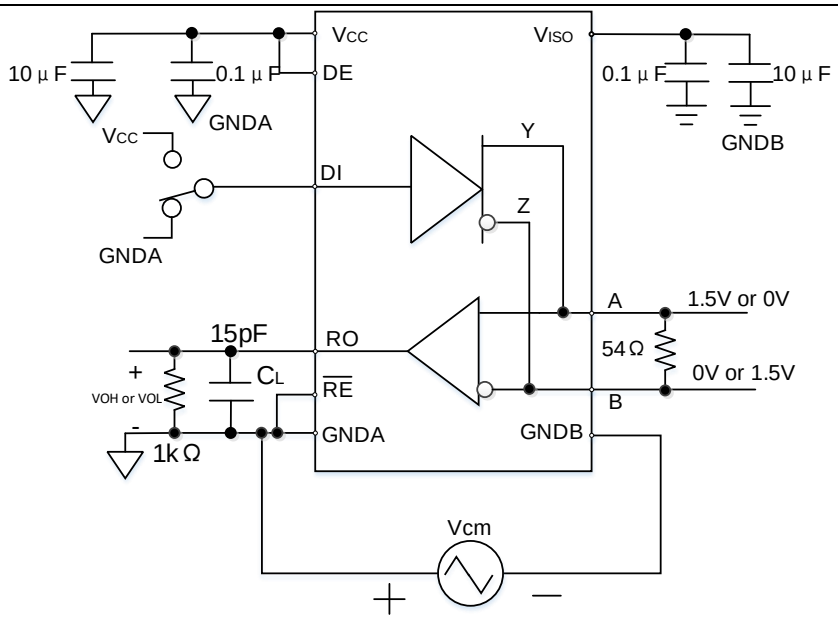


图 8- 7 半双工收发器共模抑制比 (CMTI) 测试电路

9. 详细说明

CA-IS309x 隔离型 RS485/RS422 收发器在总线侧与控制器侧(逻辑侧)提供高达 5kV$_{RMS}$ 的电气隔离。这些器件具有 150kV/μs 的共模瞬态抑制，允许速率高达 10Mbps (CA-IS3096/98)或 0.5Mbps (CA-IS3090/92)的数据跨过绝缘栅传输。内部 DC-DC 转换器提供电源隔离，为总线侧产生 3.3V 或 5V 的供电电压。由此省去了外部隔离电源，仅需少数几个旁路电容即可构成完备的隔离 RS-485/RS-422 接口。可靠的隔离特性，结合扩展 ESD 保护以及高速通信能力，CA-IS309x 确保在嘈杂环境下实现可靠的数据传输，适用于电机驱动、PLC 通信模块、HVAC 等宽泛的工业应用。该系列收发器通过两种机制避免在发生总线故障或总线冲突时出现大功率消耗：首先是发送器输出级的限流保护，即在所允许的共模电压范围内，一旦发生输出短路，器件将即刻进入保护状态；其次是热关断保护，检测到器件过热时，将发送器输出强制于高阻态。该系列产品中，CA-IS3090 和 CA-IS3096 提供 RS-485/RS-422 全双工收发器，而 CA-IS3092/CA-IS3098 提供 RS485/RS422 半双工收发器。

9.1. 逻辑输入

CA-IS309x 器件的逻辑侧包含三个数字输入：接收器使能控制、发送器使能控制和发送器输入。其中，发送器使能引脚 DE 在内部下拉至 GNDA；发送器数字输入 DI 和接收器使能控制引脚在内部上拉至 V_{CC}，参见*图9-1* 逻辑输入等效电路。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

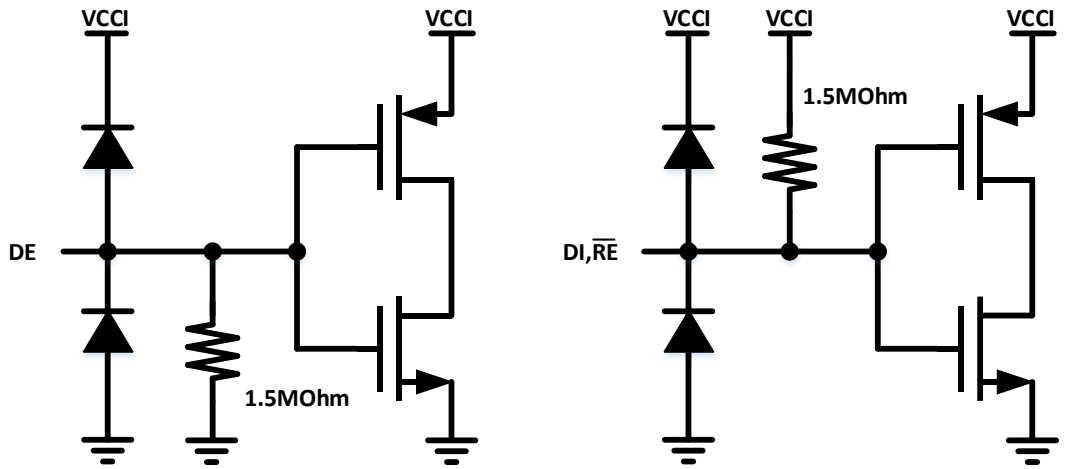


图 9-1 逻辑输入等效电路

9.2. 失效保护接收器

RS485/RS422 接收器将来自总线(Y/A 和 Z/B)的差分信号转换为逻辑侧的单端输出，为控制器提供逻辑电平输出 RO。使能控制信号$\overline{RE}$ 置为低电平时，接收器使能；$\overline{RE}$ 置为高电平时，则禁止接收器工作，将接收器输出 RO 置于高阻态。接收器使能控制$\overline{RE}$ 引脚具有内部弱上拉，如*图 9-1* 输入等效电路所示。

CA-IS309x 系列 RS485/RS422 收发器具有真正的失效保护功能，省去了外部失效保护偏置电阻。失效保护接收器将门限电压分别调整在-20mV(高电平门限)和-200mV(低电平门限)，当$\overline{RE}$为低电平时，如果接收器差分输入 V_A-V_B ≥ -20mV，接收器输出 RO 将保持高电平；如果差分输入 V_A-V_B ≤ -200mV，接收器输出低电平。由此，在兼容 RS-485 标准的同时，省去了外部失效保护偏置电阻，详见接收器真值表(*表 9-1)*。失效保护特性能够在接收器没有连接总线电缆，或者是当电缆开路、短路时，确保接收器输出确定的高电平状态。

表 9-1 接收器真值表 [1]

差分输入：$V_{ID} = (V_A - V_B)$	使能 ($\overline{RE}$)	输出 (RO)
$-20mV \le V_{ID}$	L	H
$-20mV < V_{ID} < -200mV$	L	不确定
$V_{ID} \le -200mV$	L	L
X	H	Hi-Z
开路/短路/空闲	L	H
X	开路 [2]	Hi-Z

注：

1. X = 无关; H = 高电平; L = 低电平; Hi-Z = 高阻。
2. $\overline{RE}$ 具有内部弱上拉。

9.3. 发送器

RS-485/RS-422 发送器将本地控制器提供的单端输入信号(DI)转换成差分输出(Y/A 和 Z/B)，用于总线传输。发送器真值表如*表 9-2*。总线侧的发送器输出与接收器输入均具有±8kV(人体模式)静电放电(ESD)保护，以及±12kV IEC 61000-4-2 接触放电 ESD 保护，保护电压均以 GNDB 为地参考点。驱动器还提供输出短路保护和热关断，避免器件发热。DE 引脚

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

具有内部若下拉，该引脚接低电平或开路时，禁止发送器工作。此外，器件的发送器输入 DI 由内部提供弱上拉，即当发送器使能时，如果 DI 开路，则发送器输出高电平。

表 9-2 发送器真值表 [1]

TX 输入	使能输入	输出	
(DI)	(DE)	Y / A	Z / B
H	H	H	L
L	H	L	H
X	L	Hi-Z	Hi-Z
X	开路 [2]	Hi-Z	Hi-Z
开路 [2]	H	H	L

注：

1. X =无关; H = 高电平; L = 低电平; Hi-Z = 高阻。
2. DE 引脚由内部提供弱下拉至 GNDA，DI 引脚则由内部上拉至 V_{CC}。

9.4. 保护功能

9.4.1. 信号隔离与电源隔离

CA-IS309x 器件内部集成数字隔离器，采用川土微电子专有的基于开关键控(OOK)调制的电容隔离技术，在逻辑侧与总线侧提供高达 $5kV_{RMS}$ 的电气隔离，允许两侧电路工作在不同的电源域。内部 DC-DC 转换器则提供电源隔离，产生 3.3V 或 5V 输出用作总线侧供电的隔离电源，进一步简化隔离接口设计。

9.4.2. 热关断

当 CA-IS309x 器件的结温超出热关断门限 $T_{J(shutdown)}$ (160°C, 典型值)时，驱动器输出进入高阻态。一旦结温恢复到正常工作范围，则自动退出热关断状态。

9.4.3. 限流保护

CA-IS309x 器件的发送器还提供输出短路保护，在-7V 到 12V 整个共模电压范围内，一旦发生输出短路到正压或负压，驱动器将限制输出电流。当然，此时有可能消耗较大的电源电流，而热关断功能为输出短路提供了二次防护。一旦短路故障解除，发送器将退出限流保护状态。

10. 应用信息

10.1. 概述

CA-IS309x 系列产品分别提供全双工和半双工 RS-485/RS-422 收发器，用于支持异步数据传输。对于半双工收发器，用户可以通过发送器和接收器的使能控制引脚配置收发器的工作模式，确保在任何时刻总线上处于发送状态的节点不会多于一个，以避免总线冲突。对于全双工收发器，由于使用了两对儿双绞线，对于点-点通信，允许每个节点在通过一对儿双绞线接收另一节点数据的同时，也可以通过另外一对儿双绞线向总线发送数据；但当总线上节点数多于 2 个时，仍需谨慎控制发送器使能，以避免出现总线冲突。由于在电源引脚存在较大的峰值电流，为避免 V_{CC}、V_{ISO} 电压出现不稳定，建议在每个电源引脚分别使用 10μF 的去耦电容。如果由于其他原因无法使用 10μF 电容时，电容值不得低于 4.7μF。如*图 10-1* 典型应用电路所示，图中终端匹配电阻安装在总线的主机端和距离最远的节点处。为确保器件正常启动，建议在 CA-IS309X 上电过程中，发送器不要启动数据发送。上电过程结束后，进入正常的数据传输。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

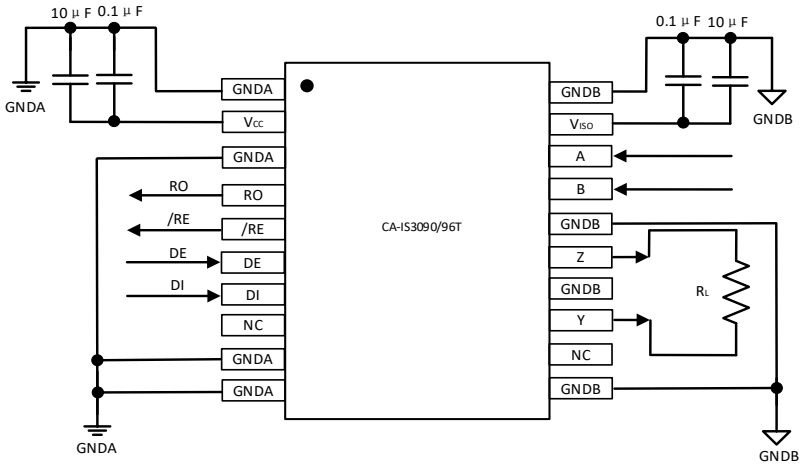


图 10-1 典型应用电路

10.2. 典型应用

RS-485/RS-422 总线是在同一总线上并行连接多个收发器，实现多节点间的远距离数据传输。图 10-2、图 10-3 分别给出了全双工收发器的网络配置，图 10-2 为典型的单主机、多从机构成的 RS-422 单向数据传输网络，主机侧的发送器向多个从机接收器发送数据。图 10-3 则为全双工收发器构成的点到点通信网络。图 10-4 为典型的半双工网络连接，相比全双工网络节省了一对电缆。

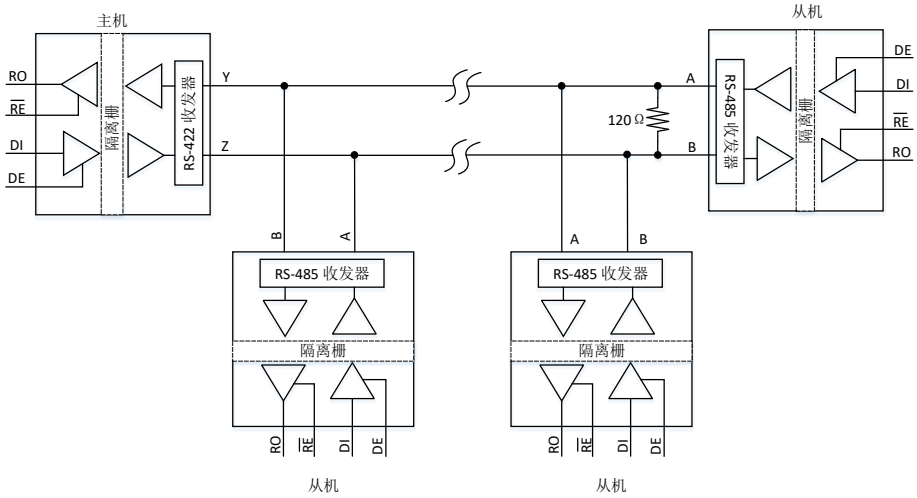


图 10-2 全双工 RS-485 典型应用电路

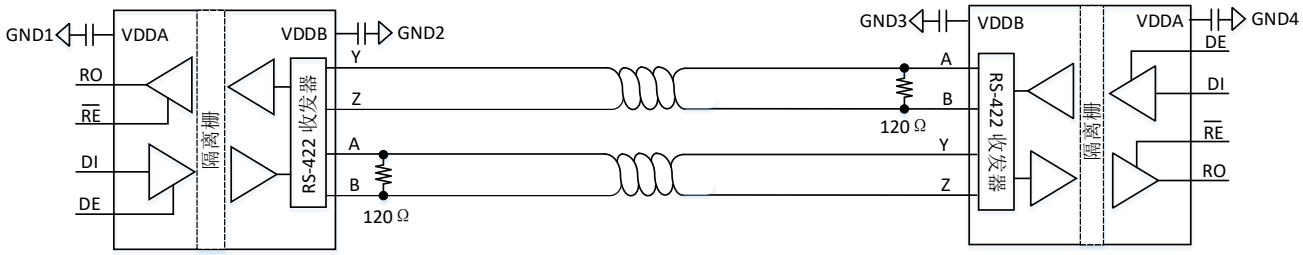


图 10-3 点对点全双工网络架构

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

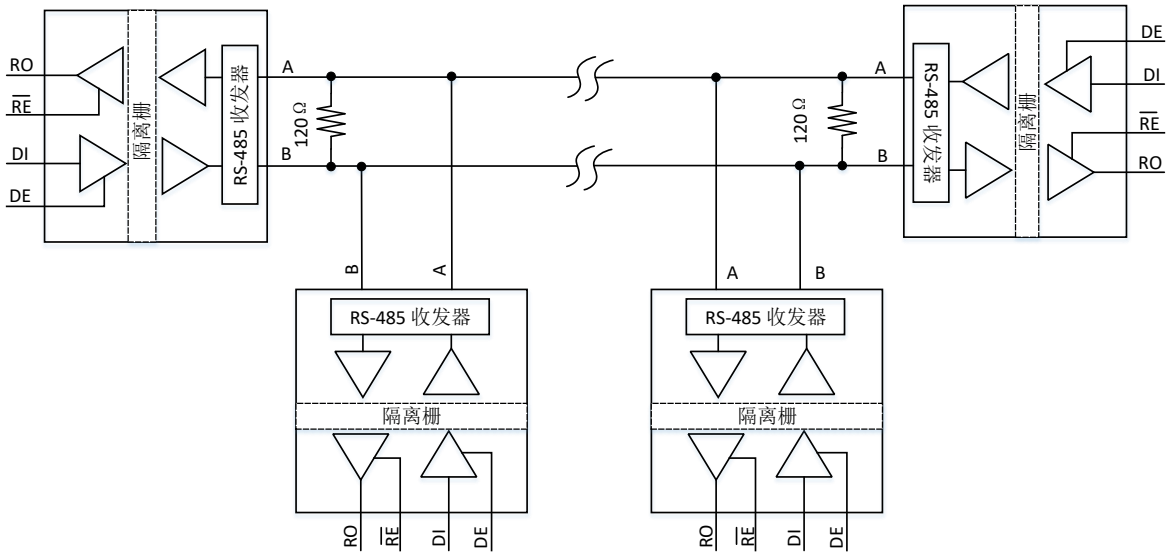


图 10-4 半双工 RS-485 网络架构示例

该系列器件在 RS-485/RS-422 总线上能够支持的最高通信速率为 10Mbps，在此速率下的数据传输距离可达 12 米。根据 RS-485 标准，数据速率为 100kbps 时，最大传输距离为 1200 米。当然，这是 RS-485 的原始定义，一些新推出的 RS-485 收发器已经突破了这一限制，能够支持更高的通信速率、更远的通信距离。此外，在实际应用中，最高速率或最远传输距离也受限于所使用的的电缆、总线上的负载、节点数、网络拓扑等因素。实际设计中，需要考虑信号在电缆上的损耗、时间延迟、网络不匹配/不均衡、节点间的地电位差等因素，为网络配置留出一定的裕量。为降低信号反射，在 RS-485 网络中，需要在总线两端连接匹配电阻，阻值为双绞线的特征阻抗(Z_0)，典型值为 120Ω。分支节点与总线的距离应尽可能短，建议将匹配电阻放置在总线电缆上相距最远的两个节点，通常为主机端和相距最远的节点。

10.3. 256 个总线节点

RS-485/RS-422 总线允许挂接的最大收发器个数(或接收器个数)取决于系统的总体负载，任何器件连接到总线上时，都将引入额外的总线负载。RS-485/RS-422 总线负载通常以“单位负载”计量，根据 RS-485 标准，一对儿特征阻抗为 120Ω(或更大)的双绞线，总线上可以挂接 32 个接收器阻抗为“单位负载”的收发器(总线负载为 375Ω)。每单位负载阻抗为 12kΩ。CA-IS309x 系列器件的接收器输入阻抗为 1/8 单位负载，即 96kΩ，因此，一对儿通信总线上允许挂接的收发器数量可以达到 32 x 8 = 256 个。

10.4. PCB 布板

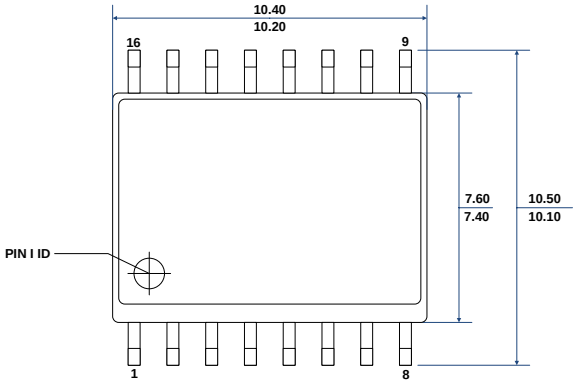
建议在隔离器下方保留一个远离地线和信号线的隔离通道，电缆侧和逻辑侧之间的任何电气连接或金属连接，都会降低隔离度。为确保器件在任何数据速率下可靠工作，建议在 V_{CC} 与 GNDA、V_{ISO} 与 GNDB 之间外接 10μF 的去耦电容。如果由于其他原因无法使用 10μF 电容时，电容值不得低于 4.7μF。并且电容器应紧靠器件相应的电源引脚放置。实际应用中，输入和输出电容为 10μF 和 0.1μF 电容并联，且 0.1μF 电容靠近芯片引脚摆放，距离控制在 2mm 以内。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

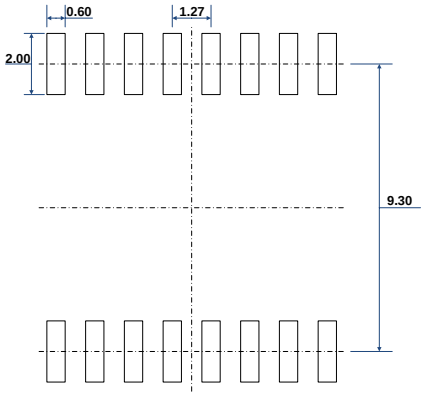
11. 封装信息

11.1. SOIC16 宽体封装尺寸

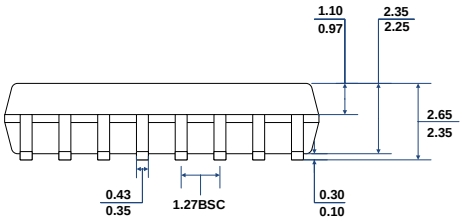
下图给出了 SOIC16 宽体封装的尺寸图和建议焊盘尺寸图。尺寸以毫米为单位。



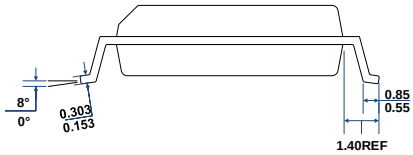
TOP VIEW



RECOMMENDED LAND PATTERN



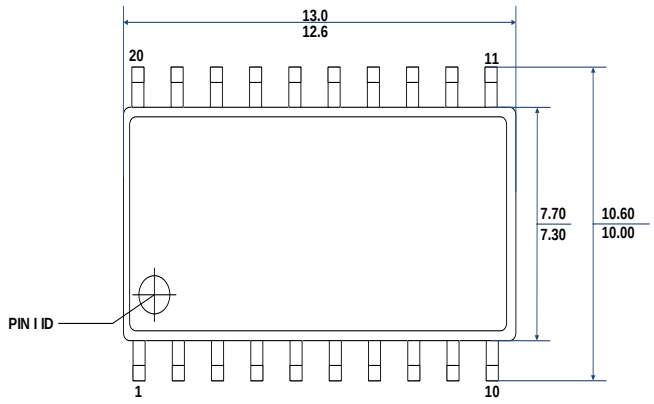
FRONT VIEW



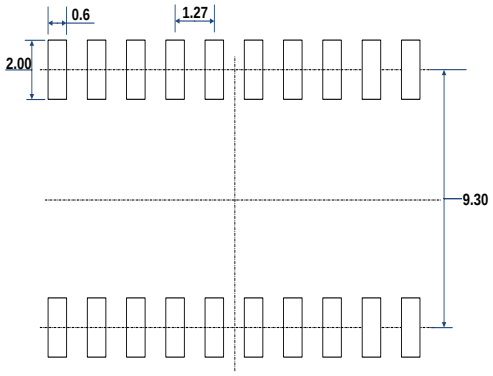
LEFT-SIDE VIEW

11.2. SOIC20 宽体封装尺寸

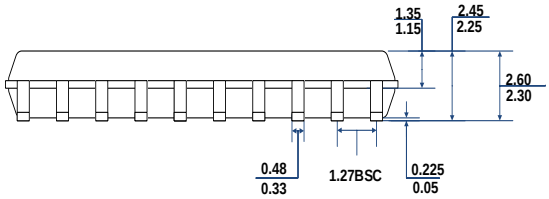
下图给出了 SOIC20 宽体封装的尺寸图和建议焊盘尺寸图。尺寸以毫米为单位。



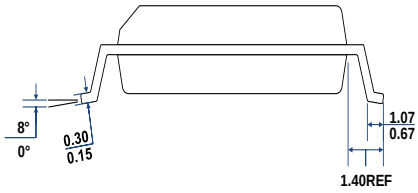
TOP VIEW



RECOMMENDED LAND PATTERN



FRONT VIEW



LEFT-SIDE VIEW

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

12. 焊接信息

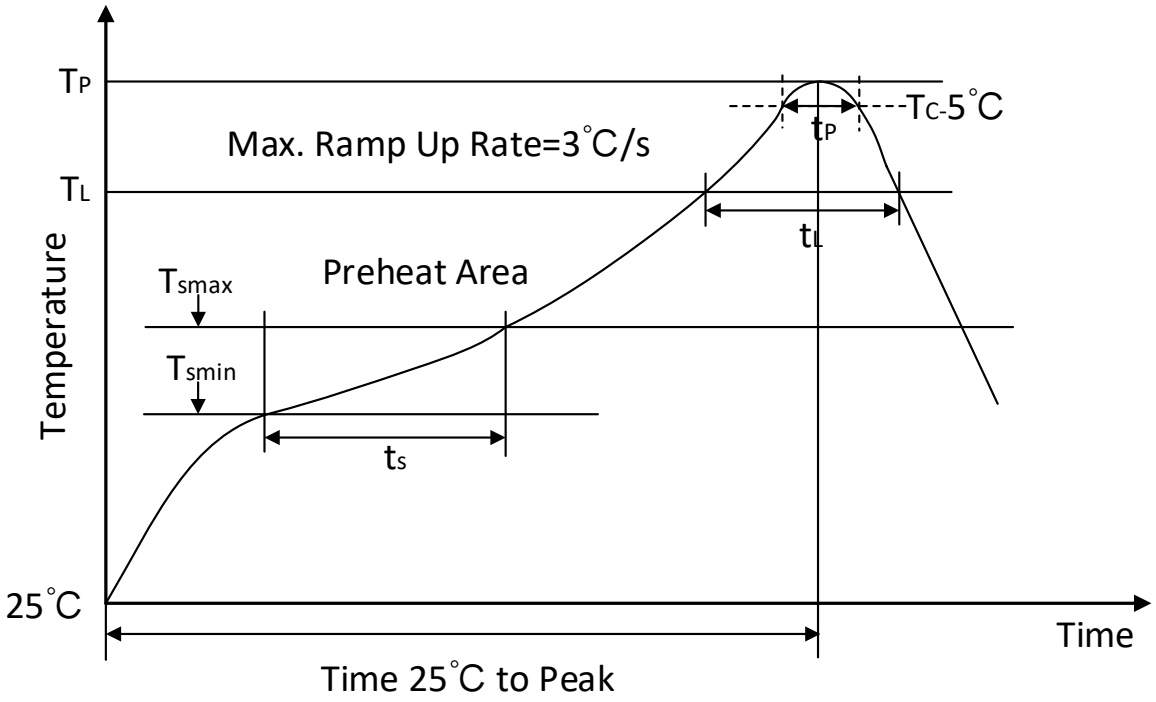


图 12- 1 焊接温度曲线

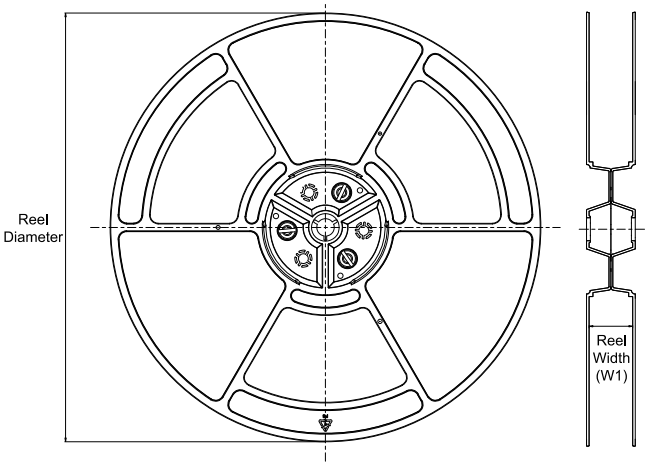
表 12- 1 焊接温度参数

简要说明	无铅焊接
温升速率(217 ℃ 至峰值 T_P)	最大 3 ℃/s
T_{smin}=150 ℃至 T_{smax}=200 ℃预热时间 t_S	60~120 秒
温度保持 217 ℃以上时间 t_L	60~150 秒
峰值温度 T_P	260 ℃
小于峰值温度 5 ℃以内时间 t_P	最长 30 秒
降温速率(峰值 T_P 至 217 ℃)	最大 6 ℃/s
常温 25 ℃到峰值温度 T_P 时间	最长 8 分钟

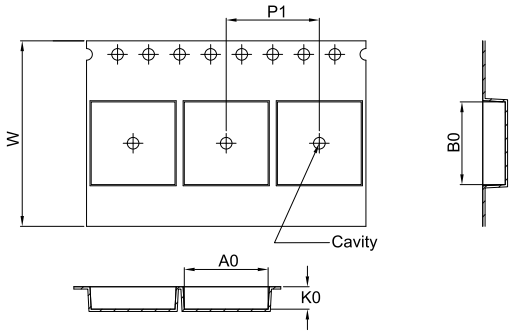
Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

13. 卷带信息

REEL DIMENSIONS

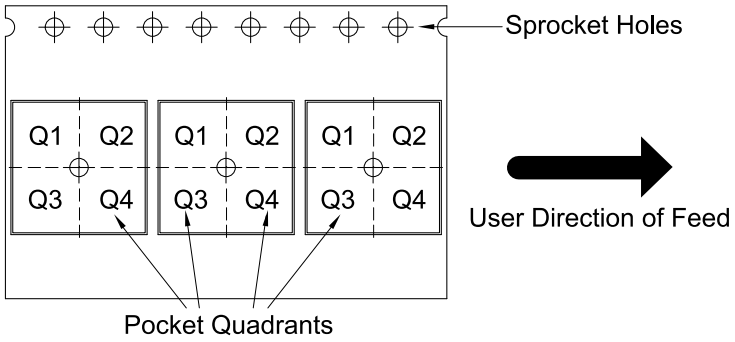


TAPE DIMENSIONS



Y0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*所有尺寸均为标称值。

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS3090W	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3092W	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3096W	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3098W	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3090T	SOIC	T	20	1000	330	24.4	10.9	13.3	3.0	12.0	24.0	Q1
CA-IS3096T	SOIC	T	20	1000	330	24.4	10.9	13.3	3.0	12.0	24.0	Q1

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

14. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。 针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。 除此之外不得复制或展示所述资源， 如因使用所述资源而产生任何索赔、 赔偿、 成本、 损失及债务等， Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。

http://www.Chipanalog.com

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

Unikeyic Electronics

Global Electronic Components Distributor

Click to view pricing, inventory, delivery, and lifecycle information:

CHIPANALOG:

CA-IS3731HN CA-IS3052CG CA-IS1300B25G CA-IS1311BG CA-IS3052W CA-IS1311G CA-IS3740LW CA-IS3092w CA-IS3760LN CA-IS3642LW CA-IS3722CHS CA-IF4820HS CA-IS3741HN CA-IS3721HS CA-IS3762HN CA-IS3080WX CA-IS2062VW CA-IS2062W CA-IS1200G CA-IS3980S CA-IS3722HG CA-IS3720LS CA-IF4805HS CA-IS1200U CA-IS3211VCJ CA-IS3062VW CA-IS3082CWX CA-IS3731HW CA-IS3062W CA-IS3721LS